

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

①9 RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(A. n'utiliser que pour
le classement et les
commandes de reproduction).

2.196.560

②1 N° d'enregistrement national
(A. utiliser pour les paiements d'annuités,
les demandes de copies officielles et toutes
autres correspondances avec l'I.N.P.I.)

73.30074

DEMANDE DE BREVET D'INVENTION

1^{re} PUBLICATION

- ②2 Date de dépôt 17 août 1973, à 15 h 50 mn.
④1 Date de la mise à la disposition du
public de la demande B.O.P.I. - «Listes» n. 11 du 15-3-1974.
- ⑤1 Classification internationale (Int. Cl.) H 03 k 19/20//H 01 I 19/00.
- ⑦1 Déposant : Société dite : MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD., résidant
au Japon.
- ⑦3 Titulaire : *Idem.* ⑦1
- ⑦4 Mandataire : Cabinet Plasseraud.
- ⑤4 Dispositif à circuits intégrés à semi-conducteurs du type M O S.
- ⑦2 Invention de :
- ③3 ③2 ③1 Priorité conventionnelle : Demandes de brevets déposées au Japon le 18 août 1972,
n. 82.640/1972 et le 21 août 1972, n. 83.452/1972 au nom de la demanderesse.

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention - 75732 PARIS CEDEX 15

L'invention due à Toyoki TAKEMOTO, est relative à un dispositif à circuits intégrés à semi-conducteurs du type MOS, ou transistor à grille isolée, comportant un circuit porte à plusieurs entrées à transistors MOS complémentaires, destiné à être
5 utilisé dans des circuits portes tels que des circuits "NON-ET" ou "NI" et dans des circuits "Lecture de mémoire exclusivement" qui constituent le fondement de tous les circuits logiques.

D'une manière générale, un circuit porte "NON-ET" ou "NI" à plusieurs entrées comporte un étage d'attaque utilisant des
10 transistors MOS et un étage de charge utilisant une résistance ou un transistor MOS. Dans un dispositif à circuits intégrés, le nombre d'interconnexions est un problème important, aussi bien que le nombre d'éléments. Dans de tels circuits portés à plusieurs entrées toutefois, la réduction du nombre des interconnexions
15 s'est accompagnée d'une augmentation de la consommation de puissance. En outre l'augmentation de la vitesse de réponse s'est accompagnée elle aussi d'une augmentation de la consommation de puissance.

Dans ces conditions, un but de l'invention est de fournir
20 un dispositif à circuits intégrés à semi-conducteurs du type MOS comprenant un circuit porte à plusieurs entrées de structure simple et présentant relativement peu d'interconnexions.

Un autre but de l'invention est de fournir un dispositif à circuits intégrés à semi-conducteurs du type MOS comprenant
25 un circuit porte à plusieurs entrées de faible consommation de puissance.

Un autre but de l'invention est de fournir un dispositif à circuits intégrés à semi-conducteurs du type MOS comprenant un circuit porte à plusieurs entrées comportant un petit nombre
30 d'éléments assurant un fonctionnement rapide et une conception de circuit facile.

Selon un mode de réalisation de l'invention, il est prévu un dispositif à circuits intégrés à semi-conducteurs du type MOS comprenant un circuit porte à plusieurs entrées comportant:
35 un étage d'attaque contenant un certain nombre de transistors MOS aux électrodes de commande respectives desquels sont appliqués des signaux d'entrée et présentant une borne de sortie commune; une charge connectée entre la borne de sortie de l'étage d'attaque et une borne d'une source de tension et comprenant
40 une résistance ou un transistor MOS; un transistor MOS d'un type

de conductibilité différent de celui des divers transistors MOS de l'étage d'attaque, branché entre la borne de sortie et la borne de la source de tension précitées; et un inverseur MOS complémentaire, connecté entre cette borne de sortie et cette borne de source de tension et dont la sortie est reliée à l'électrode de commande du transistor MOS précité d'un type de conductibilité différent. Ce dispositif à circuits intégrés à semi-conducteurs du type MOS peut assurer un fonctionnement rapide avec une faible consommation de puissance et présente un nombre
10 réduit d'éléments et d'interconnexions.

D'autres buts, caractéristiques et avantages de l'invention ressortiront mieux de la description détaillée ci-dessous de certains de ses modes de réalisation, pris à titre illustratif mais nullement limitatif, effectuée en se référant aux dessins
15 annexés dans lesquels:

-la figure 1a est un schéma d'un circuit porte "NI" classique à dix entrées, à transistors MOS complémentaires,

-la figure 1b est une vue en plan schématique d'un dispositif à circuits intégrés classique à semi-conducteurs du type MOS, correspondant au schéma de circuit de la figure 1a;
20

-la figure 2a est un schéma d'un circuit porte "NI" classique à trois entrées, utilisant des transistors bipolaires;

-les figures 2b, 2c, 2d, et 2e sont des schémas d'autres circuits portes "NI" à trois entrées utilisant des transistors MOS à canal N dans l'étage d'attaque et comme charge respectivement un transistor MOS à canal N enrichi, un transistor MOS à canal N appauvri, un transistor MOS à canal P et une résistance;
25

-la figure 3a est un schéma d'un circuit porte "NI" à dix entrées conforme à un mode de réalisation de l'invention;

-la figure 3b est une vue en plan schématique d'un dispositif à circuits intégrés à semi-conducteurs du type MOS, correspondant au schéma de circuit de la figure 3a;
30

-les figures 4, 5, 6 et 7 sont des diagrammes de circuits porte "NI" à dix entrées conformes à d'autres modes de réalisation de l'invention;
35

-la figure 8 montre les caractéristiques de fonctionnement du circuit de la figure 3a comparées à celles du circuit de la figure 2b, et

-la figure 9 montre les caractéristiques de fonctionnement du circuit de la figure 7, utilisant une résistance comme charge,
40

comparées à celles du circuit de la figure 2b.

Pour une meilleure compréhension de l'invention, on décrira en premier lieu un certain nombre de circuits portes à plusieurs entrées, classiques.

- 5 Les figures 1a et 1b représentent un circuit porte "NI" classique à dix entrées, qui utilise des transistors MOS complémentaires. Sur ces figures, un étage d'attaque D_1 est constitué de transistors d'attaque MOS à canal N, désignés par les références numériques 1 à 10 dont les bornes de sortie sont réunies en une borne de sortie commune O_1 qui délivre un signal de
- 10 sortie. Une charge R_1 est constituée par autant de transistors de charge MOS à canal P qu'il y a de transistors d'attaque; ces transistors de charge, désignés par les références numériques 11 à 20 sont montés en cascade entre la borne de sortie O_1 et
- 15 une borne S_1 d'une source de tension à laquelle est appliquée une tension continue V_{DD} . Les électrodes de commande des divers transistors 1 à 10 et 11 à 20 sont alimentées à l'aide de signaux d'entrée par les bornes d'électrodes de commande n_1 à n_{10} . Les transistors 1 et 11, par exemple, sont alimentés à l'aide
- 20 d'un signal d'entrée par la borne d'électrode de commande n_1 . Dans ce circuit, ce n'est que lorsque tous les signaux d'entrée sont au niveau "0" (0 Volt) que tous les transistors 1 à 10 de l'étage d'attaque D_1 sont non conducteurs et que tous les transistors MOS 11 à 20 de la charge R_1 sont conducteurs, pour fournir
- 25 une tension de niveau "1" (V_{DD}) à la borne de sortie O_1 . Une caractéristique de ce circuit réside dans le fait que les transistors 11 à 20 de l'étage de charge R_1 ne peuvent jamais être conducteurs simultanément lorsque l'un quelconque des transistors
- 30 1 à 10 de l'étage d'attaque est conducteur; de ce fait à aucun moment un courant continu ne peut s'écouler entre la borne S_1 de la source et la masse et la consommation de puissance est très faible. Pour cette raison ce circuit a souvent été utilisé comme circuit porte à plusieurs entrées. Dans le cas de dix entrées
- 35 toutefois, dix transistors MOS à canal P et dix autres transistors MOS à canal N deviennent nécessaires et, du fait que les entrées de commande pour les transistors MOS à canal P et N correspondants sont communes, au moins onze interconnexions L_1 à L_{11} sont nécessaires. Comme on le voit sur la figure 1b qui montre schématiquement en plan la structure d'un dispositif à circuits
- 40 intégrés correspondant au circuit de la figure 1a, plus il y a de

transistors MOS de types de conductibilités différentes, plus il y a d'interconnexions L_1 à L_{11} . Ceci est désavantageux pour la conception d'un dispositif à circuits intégrés. Par exemple, en ne tenant compte que de ces interconnexions, il est nécessaire de disposer onze fils d'aluminium de 10 microns de largeur qui occupent une surface ayant une largeur de 220 microns. Dans ces conditions un grand nombre d'interconnexions accroissent beaucoup la surface d'une pastille semi-conductrice.

Afin d'éliminer cet inconvénient, on a proposé les circuits suivants. La figure 2a montre un circuit "NI" à trois entrées qui utilise des transistors bipolaires, dans lequel trois transistors 21, 22 et 23 comportant des électrodes de commande correspondantes n_{11} , n_{12} et n_{13} sont connectées en parallèle et constituent un étage d'attaque et dans lequel un autre transistor 25, de polarité différente de celles des transistors 21 à 23 est connecté entre la borne de sortie commune O_2 et une borne S_2 d'une source de tension. Une tension continue V_{DD} est appliquée à la borne S_2 et un signal de sortie est prélevé à la borne de sortie O_2 . La figure 2b montre un autre mode de réalisation de circuit "NI" classique à trois entrées, dans lequel trois transistors MOS à canal N 31, 32 et 33 constituent un étage d'attaque et un autre transistor MOS à canal N 34 constitue un étage de charge. Les références n_{31} , n_{32} et n_{33} désignent des bornes d'entrée, O_3 désigne une borne de sortie et S_3 une borne de source de tension. Les figures 2c, 2d et 2e montrent d'autres modes de réalisation de circuits "NI" à trois entrées dans lesquels la charge est constituée respectivement par un transistor MOS du type appauvri 44, un transistor MOS à canal P 54 et une résistance 64. Les références n_{41} à n_{43} , n_{51} à n_{53} et n_{61} à n_{63} désignent des bornes d'entrée O_4 , O_5 et O_6 désignent des bornes de sortie et S_4 , S_5 et S_6 des bornes de source de tension. Dans les circuits "NI" représentés sur les figures 2a à 2e, bien que la surface nécessaire aux interconnexions soit grandement réduite, un courant continu peut s'écouler entre la borne de la source de tension et la masse lorsque l'un quelconque des transistors de l'étage d'attaque, 41 à 43, 51 à 53 ou 61 à 63, est conducteur. En outre, pour augmenter la vitesse de fonctionnement, un courant intense et par conséquent une forte consommation de puissance sont nécessaires. Les figures 2a à 2e considèrent le cas de trois entrées. Dans le cas de dix entrées il faut

utiliser dix transistors dans l'étage d'attaque pour obtenir des caractéristiques analogues.

On va décrire maintenant des modes de réalisation conformes à l'invention.

5 La figure 3a montre un mode de réalisation d'un circuit "NI" à dix entrées, réalisé conformément à l'invention. Dix transistors MOS à canal N 71, 72, ..., 80, sont connectés en parallèle entre une borne de sortie O_7 et la masse pour constituer un étage d'attaque D_2 . Des signaux d'entrée sont appliqués à partir des
10 bornes d'électrodes de commande correspondantes n_{71}, \dots, n_{80} . Un transistor MOS du type enrichi à canal N 81 est connecté entre la borne de sortie O_7 et une borne S_7 de source de tension, pour constituer une charge. Une tension d'alimentation V_{DD} issue d'une source est appliquée à la borne S_7 . L'électrode de commande du
15 transistor MOS 81 est également connectée à la borne S_7 de la source de tension. Un transistor MOS du type enrichi à canal P 82 est connecté aussi entre la borne S_7 de la source de tension de la borne de sortie O_7 . Les transistors MOS à canaux N et P, 83 et 84 constituent un inverseur MOS complémentaire 90 qui est
20 connecté entre la borne S_7 de la source et la borne de sortie O_7 et applique le signal de sortie à l'électrode de commande du transistor à canal P 82. La figure 3b montre schématiquement en plan la structure d'un dispositif semi-conducteur à circuits intégrés correspondant au circuit porte "NI" à dix entrées. Comme on le
25 voit sur cette figure, par comparaison avec le dispositif classique représenté sur la figure 1b, le nombre d'éléments et la surface des interconnexions (zone hachurée) sont considérablement réduits. En effet, dans le circuit de la figure 1a le nombre des interconnexions, qui peut poser des difficultés dans la
30 conception d'un dispositif à circuits intégrés est de onze, tandis que dans le circuit de la figure 3a il n'y en a que trois: I_1 , I_2 et I_3 . En outre, la totalité de la surface du semi-conducteur peut aussi être réduite jusqu'à un tiers de celle du dispositif classique.

35 On va décrire maintenant le fonctionnement du circuit porte "NI" à dix entrées de la figure 3a. On supposera ici que la tension V_{DD} de la source est de 5 Volts et que chacune des tensions d'entrée aux bornes n_{71} à n_{80} est de 5 Volts pour le niveau "1" et de "0" Volts (potentiel de la masse) pour le ni-
40 veau "0". Dans ces conditions la tension de sortie à la borne

de sortie O_7 est de 5 Volts pour le niveau "1" et de 0 Volts pour le niveau "0". Dans ce circuit porte "NI", la tension de sortie à la borne de sortie O_7 ne prend le niveau "1" que lorsque toutes les tensions d'entrée aux bornes n_{71} à n_{80} ont le niveau "0". Lorsque l'une quelconque des tensions d'entrée a le niveau "1", au moins un des transistors de l'étage d'attaque D_2 est conducteur, ce qui amène la borne de sortie O_7 au potentiel de la masse, c'est-à-dire au niveau "0". Dans cet état, du fait que le signal d'entrée de l'inverseur complémentaire 90, c'est-à-dire la tension de sortie à la borne O_7 , est au niveau "0", la sortie de l'inverseur complémentaire 90 est au niveau "1". Alors, du fait que le transistor MOS du type à canal P 84 est à l'état conducteur, la tension V_{DD} (5 Volts) de la source est appliquée à l'électrode de commande du transistor MOS du type à canal P 82 et, dans ces conditions, le transistor MOS à canal P 82 est à l'état non conducteur. Lorsque toutes les tensions d'entrée aux diverses bornes d'entrée sont au niveau "0", la tension à la borne de sortie O_7 augmente progressivement à travers le transistor de charge MOS à canal N 81 qui est toujours à l'état conducteur. Du fait que la borne de sortie O_7 est connectée à la borne d'entrée de l'inverseur complémentaire MOS 90, ce dernier est connecté, très rapidement, pour fournir un signal de sortie de niveau "0". Alors le signal de commande du transistor MOS à canal P 82 devient égal à 0 Volt et ce transistor MOS à canal P 82 est rendu conducteur. De ce fait le potentiel à la borne de sortie O_7 augmente rapidement jusqu'à la valeur de la tension V_{DD} de la source, c'est-à-dire au niveau "1". Le circuit représenté sur la figure 3a est un circuit porte "NI" à dix entrées, mais il peut être facilement transformé en un circuit "NON-ET" à dix entrées en remplaçant tous les transistors de l'étage d'attaque D_2 par des transistors MOS à canal P, le transistor de charge MOS du type enrichi à canal N 81 par un transistor MOS du type enrichi à canal P, le transistor à canal P 82 par un transistor MOS à canal N, la tension appliquée à la borne S_7 de la source par le potentiel de la masse est la tension recueillie sur les transistors MOS à canal P de l'étage d'attaque par V_{DD} (par exemple 5 Volts). Ainsi, lorsque tous les éléments composants sauf l'inverseur complémentaire 90 sont inversés, on peut obtenir un circuit porte "NON-ET" à dix entrées. En outre, si, dans le circuit de la figure 3a, toutes les entrées sont

alimentées à travers des inverseurs et si aussi la sortie est prélevée à travers un inverseur, on peut obtenir un circuit "NON-ET" à dix entrées.

Dans le mode de réalisation représenté sur la figure 3a, un transistor MOS du type enrichi à canal N 81, dont l'électrode de commande est connectée à une source de tension, est utilisé comme charge. D'autres modes de réalisation de circuit "NI" à dix entrées utilisant un autre élément comme charge sont représentés sur les figures 4 à 7 dans lesquels l'étage d'attaque D_1 , l'inverseur MOS complémentaire 90 et le transistor MOS à canal P 82 sont les mêmes que ceux de la figure 3a.

Dans le circuit de la figure 4, la charge est constituée par un transistor MOS du type enrichi à canal N 91 dont l'électrode de commande S_8 est connectée à une source de tension différentielle. Dans le circuit de la figure 5, la charge est constituée par un transistor MOS du type appauvri à canal N 101 dont l'électrode de commande est reliée à la borne de sortie O_7 . Dans le circuit de la figure 6 la charge est constituée par un transistor MOS du type enrichi à canal P ordinaire 111 dont l'électrode de commande est mise à la masse. Dans le circuit de la figure 7, la charge est constituée par une résistance 121 (par exemple de 100 kilohms). Les caractéristiques de réponse des circuits représentés sur les figures 4 à 7 sont presque les mêmes que celles du circuit de la figure 3a. D'autre part, on peut obtenir un circuit "NON-ET" en inversant la tension de la source, en remplaçant les transistors MOS à canal N de l'étage d'attaque par des transistors MOS à canal P et le transistor MOS à canal P 82 par un transistor MOS à canal N et pour les circuits des figures 4 et 5 en remplaçant en outre le transistor MOS de charge 91 ou 101 par un transistor MOS du type enrichi à canal P, pour le circuit de la figure 6, on peut obtenir un circuit porte "NON-ET" à dix entrées, d'une manière analogue en utilisant comme charge un transistor MOS du type appauvri à canal N dont l'électrode de commande est alimentée par la source de tension V_{DD} , pour le circuit de la figure 7, du fait que la charge est une résistance, on peut obtenir un circuit "NON-ET" à dix entrées en inversant simplement la polarité des transistors MOS de l'étage d'attaque et du transistor MOS à canal P.

On va procéder maintenant à la comparaison des caractéristiques de fonctionnement du circuit "NI" à dix entrées de la

figure 3a et du circuit "NI" à trois entrées de la figure 2b, caractéristiques qui sont représentées sur la figure 8, dans laquelle les abscisses représentent le temps T et les ordonnées le rapport V_{OUT}/V_{DD} de la tension de sortie V_{OUT} à la tension V_{DD} de la source. La figure 8 montre en effet comment varie en fonction du temps le rapport V_{OUT}/V_{DD} , depuis le niveau "0" jusqu'au niveau "1". La tension de la source est de 5 Volts et la capacité totale de la charge C_L de 0,2 pF. Les courbes en trait interrompu A et B représentent la réponse du circuit porte

10 "NI" de la figure 2b lorsque le courant recueilli est respectivement de 50 micro-ampères et de 10 micro-ampères. Dans le circuit de la figure 2b il y a lieu de remarquer que la tension de sortie n'atteint pas exactement celle fournie par la source. Pour la courbe A, il faut environ 0,05 microsecondes pour que la

15 tension de sortie atteigne la moitié de la tension V_{DD} de la source. Pour la courbe B pour laquelle le courant recueilli est réduit à 10 micro-ampères, il faut environ 0,5 micro-seconde (non représenté sur la figure) pour que la tension de sortie atteigne la moitié de la tension V_{DD} de la source. Ainsi, dans le

20 circuit de la figure 2b, le courant recueilli I_D (et par conséquent la consommation de puissance) devraient être augmentés suffisamment pour obtenir une commutation rapide.

Les courbes en trait plein C et D représentent la réponse du circuit de la figure 3a, dans laquelle le courant recueilli

25 I_D est respectivement de 50 micro-ampères et de 10 micro-ampères. Pour la courbe C ($I_D = 50$ micro-ampères) le temps nécessaire pour que la tension de sortie V_{OUT} augmente de 10% à 90% de la tension V_{DD} de la source (c'est-à-dire le temps de commutation à la fermeture ou à la coupure) est d'environ 0,015 micro-seconde.

30 Pour la courbe D ($I_D = 10$ micro-ampères) le temps nécessaire à la tension de sortie pour atteindre la moitié de la tension de la source est le même que dans le cas du circuit de la figure 2b, lorsque le courant recueilli est de 50 micro-ampères. Ainsi, dans le circuit de la figure 3a, pour obtenir la commutation

35 dans le même temps que dans le circuit de la figure 2b pour $I_D = 50$ micro-ampères, le courant recueilli I_D peut être réduit à un cinquième, c'est-à-dire à 10 microampères.

La raison de cette augmentation de la vitesse de commutation résulte des considérations suivantes. Dans le circuit de

40 la figure 3a, le transistor de charge MOS à canal N 81 sert

uniquement à déclencher la commutation de l'inverseur MOS 90 et ce dernier produit une action de commutation rapide et amène rapidement, par l'intermédiaire du transistor MOS à canal P 82, la borne de sortie O_7 à la tension V_{DD} de la source. Dans ces conditions la vitesse de commutation peut être augmentée. Habituellement, seuls les transistors MOS qui ont une conductance mutuelle (g_m) suffisamment faible peuvent, du point de vue du fonctionnement du circuit être utilisés comme transistors MOS de charge 34 et 81. Pour cette raison, le fonctionnement du circuit de la figure 2b était inévitablement lent. Dans le circuit de la figure 3a, toutefois la conductance mutuelle (g_m) du transistor MOS à canal P 82 peut être prise beaucoup plus grande (par exemple cinq fois plus grande) que celle du transistor MOS de charge 81 et, de ce fait, la vitesse de commutation peut être fortement augmentée. Ainsi, du fait que le transistor MOS à canal P 82 n'est conducteur que lorsque tous les transistors MOS de l'étage d'attaque D_2 sont non conducteurs, le transistor MOS à canal P 82 peut avoir une conductance mutuelle (g_m) plus grande que celle du transistor MOS de charge 81. Dans ces conditions, dans le circuit de la figure 3a il n'est pas nécessaire de régler d'une manière précise le rapport des résistances des étages d'attaque et de charge, au cours du traitement de la pastille pour fabriquer le circuit intégré. En outre, ce circuit est du type à rapport de transmission indifférent et de ce fait la tension de sortie ne demeure pas inférieure à la tension de la source et varie exactement de 0 Volt à la tension de la source, comme le montrent les courbes C et D de la figure 8.

La figure 9 en outre montre une comparaison de la vitesse de commutation des circuits des figures 7 et 2e qui utilisent comme charge une résistance 121 ou 64. Les abscisses et les ordonnées représentent respectivement le temps T et le rapport V_{OUT}/V_{DD} , de la même manière que sur la figure 8. La courbe en trait interrompu A de la figure 9, représente la caractéristique du circuit de la figure 2e lorsque $I_D = 50$ micro-ampères et la courbe en trait plein B représente la caractéristique du circuit de la figure 7 lorsque $I_D = 50$ micro-ampères. Dans les deux cas la résistance 64 ou 121 est de 100 kilohms. Sur les courbes A et B on peut voir que le temps de commutation du circuit de la figure 7 est réduit à moins d'un quart de celui du circuit de la figure 2e.

Comme il ressort de la description qui précède, dans un dispositif à circuits intégrés à semi-conducteurs du type MOS conforme à l'invention, comportant un circuit porte à plusieurs entrées, le nombre des interconnexions peut être réduit autant
5 qu'il est possible tout en satisfaisant aux conditions de rapidité de réponse et de faible consommation.

Comme il va de soi et comme il résulte d'ailleurs déjà de ce qui précède, l'invention ne se limite nullement à ceux de ses modes d'application et de réalisation qui ont été plus spécialement
10 envisagés; elle en embrasse, au contraire, toutes les variantes.

-REVENDICATIONS-

- 1.- Dispositif à circuits intégrés à semi-conducteur du type MOS comportant un circuit porte à plusieurs entrées, caractérisé en ce qu'il comporte:
- 5 -un étage d'attaque comprenant un certain nombre de transistors MOS, aux électrodes de commande respectives desquels sont appliqués des signaux d'entrée et ayant une borne de sortie commune.
- 10 -une charge connectée entre la borne de sortie de l'étage d'attaque et une borne d'une source de tension;
- un transistor MOS d'un type de conductibilité différent de celui des transistors MOS précités de l'étage d'attaque, branché entre la borne de sortie et la borne de source de tension précitées et
- 15 -un inverseur MOS complémentaire, connecté entre ladite borne de sortie et la borne de la source de tension, dont la sortie est reliée à l'électrode de commande du transistor MOS d'un type de conductibilité différent.
- 2.- Dispositif à circuits intégrés à semi-conducteurs du type MOS selon la revendication 1, caractérisé en ce que la charge est constituée par un transistor MOS, du type enrichi du même type de conductibilité que celle des transistors MOS de l'étage d'attaque, dont le drain et l'électrode de commande sont reliés en commun à la source de tension.
- 20 3.- Dispositif à circuits intégrés à semi-conducteurs du type MOS selon la revendication 1, caractérisé en ce que la charge est constituée par un transistor MOS du type enrichi, du même type de conductibilité que celui des transistors MOS de l'étage d'attaque, dont l'électrode de commande est connectée à une source de
- 25 tension différente.
- 30 4.- Dispositif à circuits intégrés à semi-conducteurs du type MOS selon la revendication 1, caractérisé en ce que la charge est constituée par un transistor MOS du type enrichi d'un type de conductibilité différent.
- 35 5.- Dispositif à circuits intégrés à semi-conducteurs du type MOS selon la revendication 1, caractérisé en ce que la charge est constituée par une résistance.
- 6.- Dispositif à circuits intégrés à semi-conducteurs du type MOS, comportant un circuit porte à plusieurs entrées, caractérisé
- 40 en ce qu'il comporte:

- un certain nombre de transistors MOS, connectés en parallèle entre une borne de sortie commune et une borne de source de tension commune et dont les électrodes de commande sont connectées à des bornes d'entrée différentes,
- 5 - une charge connectée entre la borne de sortie précitée et une autre borne de source de tension et
- des moyens de court-circuitage connectés en parallèle sur la charge et déclenchés par une variation, supérieure à une valeur prédéterminée de la tension à la borne de sortie, ces moyens pré-
- 10 sentant une vitesse de commutation élevée.

FIG. 1a

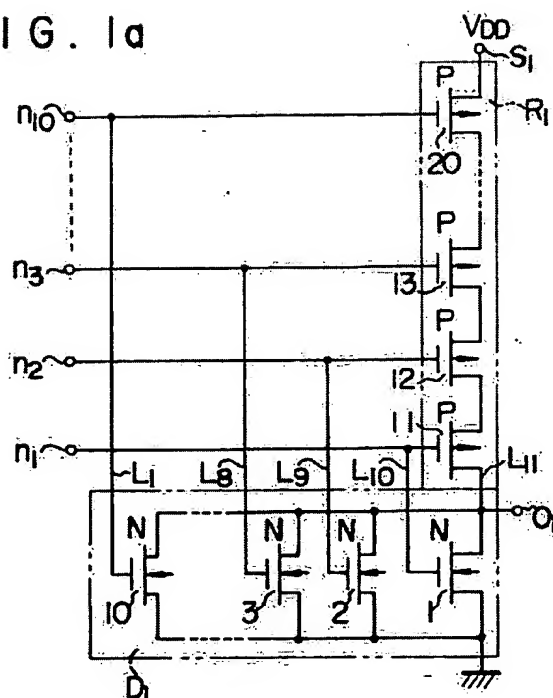


FIG. 1b

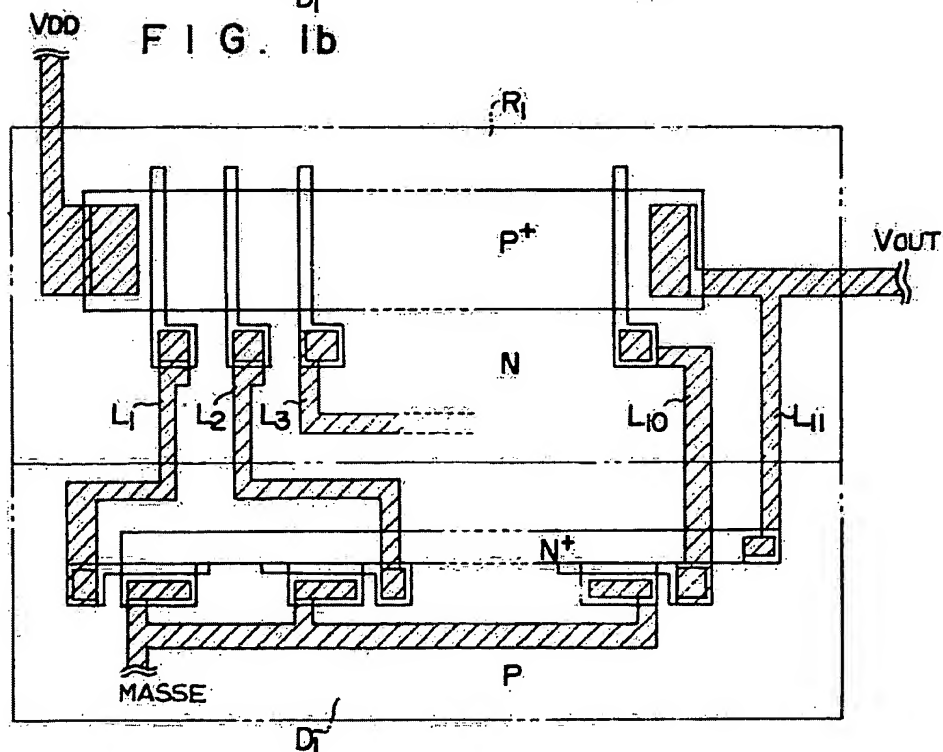


FIG. 2a

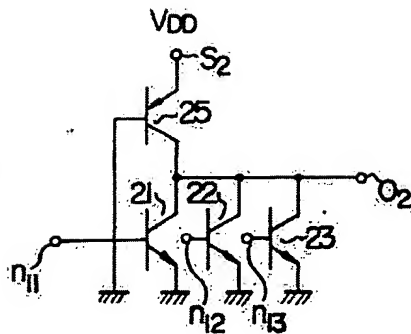


FIG. 2b

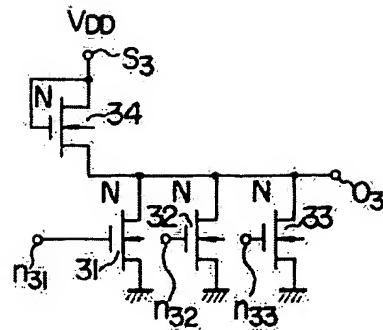


FIG. 2c

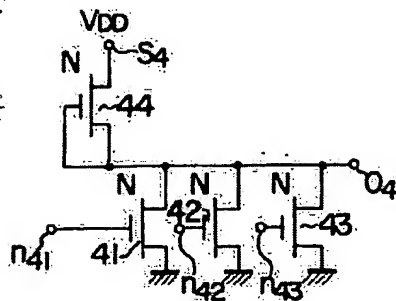


FIG. 2d

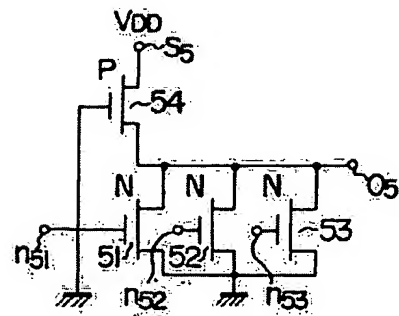
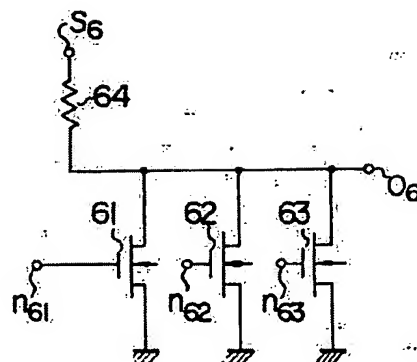


FIG. 2e



VDD

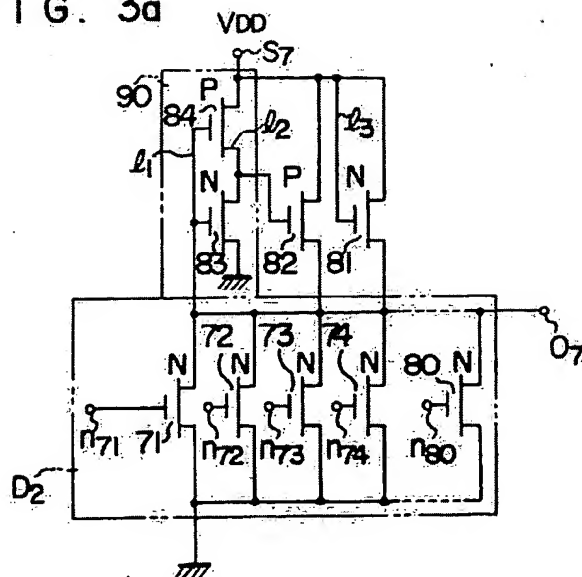


FIG. 3b

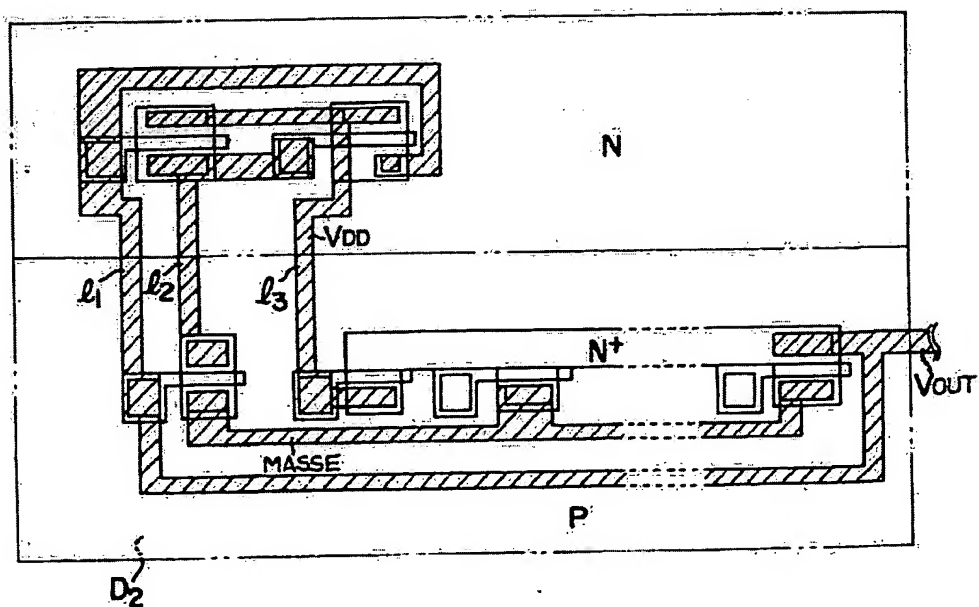


FIG. 4

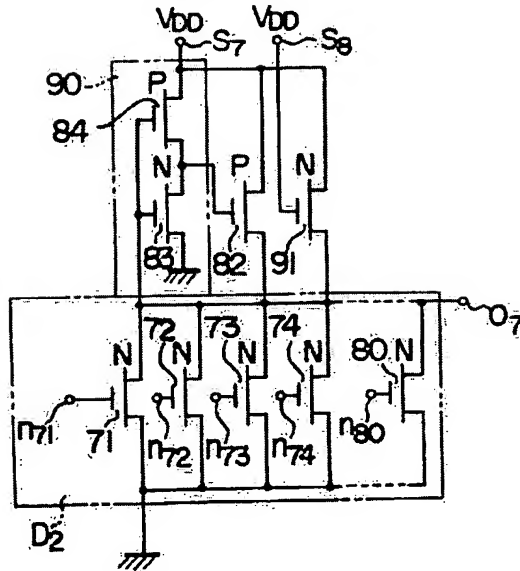


FIG. 5

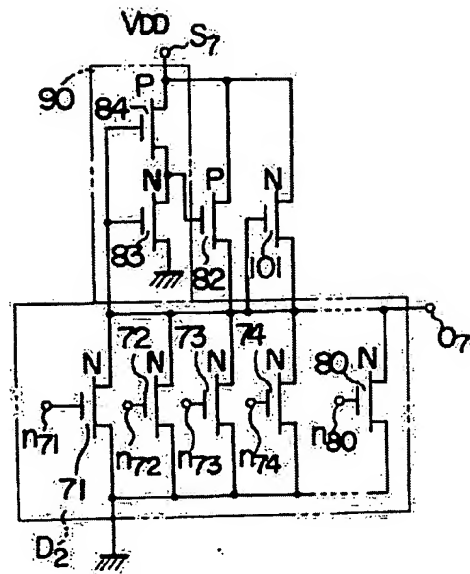


FIG. 6

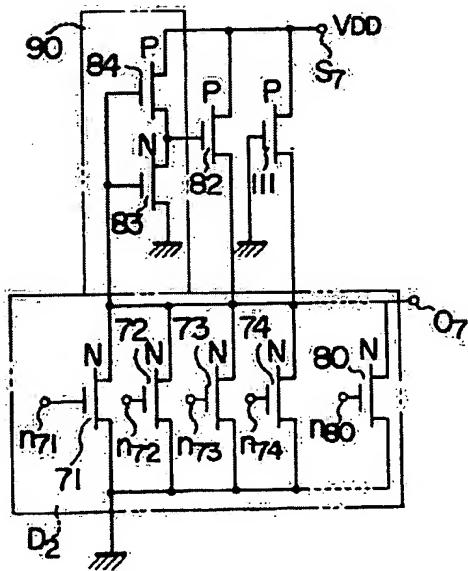


FIG. 7

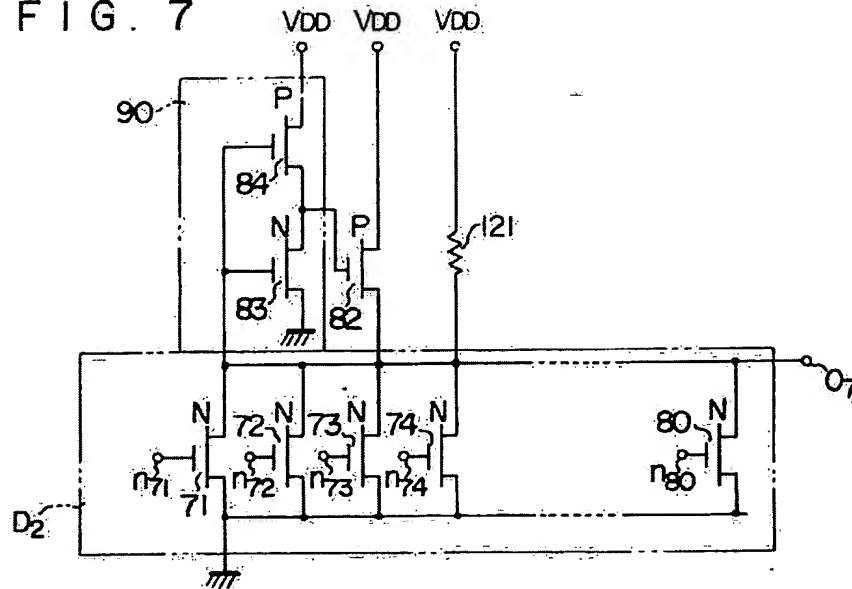


FIG. 8

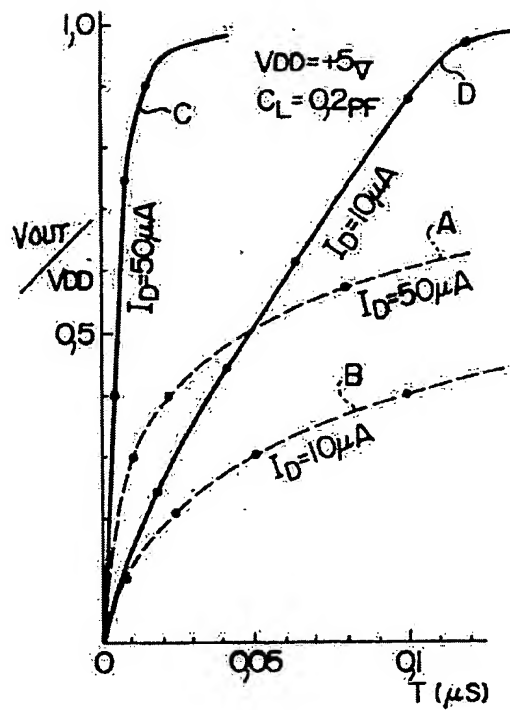


FIG. 9

